

**CAPTEUR CAPACITIF DE MESURE  
ET PROCEDE DE MESURE ASSOCIE**

Domaine technique de l'invention

5 L'invention concerne un capteur capacitif de mesure et un procédé de mesure par capteur capacitif.

L'invention s'applique aux microsystèmes comprenant un capteur capacitif et une électronique de  
10 mesure et d'actionnement du capteur, tels que, par exemple, les accéléromètres capacitifs.

Selon l'art connu, un capteur capacitif comprend au moins un condensateur ayant au moins une armature mobile. Le déplacement de la ou des  
15 armature(s) mobile(s) du capteur capacitif entraîne une variation de la capacité mesurée.

La sensibilité de mesure d'un capteur capacitif dépend de la position relative des armatures au début de la mesure. Or, par rapport à une position  
20 de départ optimale (position de repos), les armatures d'un capteur qui subit plusieurs déformations peuvent se retrouver, au bout d'un certain temps, fortement décalées l'une par rapport à l'autre. Il est ainsi nécessaire de soumettre les armatures à une tension  
25 d'actionnement pour les forcer à retrouver leur position de repos.

Les amplitudes des tensions appliquées aux capteurs capacitifs sont généralement faibles pour effectuer les mesures (par exemple 1V) et plus élevées  
30 pour repositionner les armatures (par exemple 4V).

Il existe différentes manières de réaliser

la mesure et l'actionnement d'un capteur capacitif dans un intervalle de temps donné.

Une première manière consiste à scinder l'intervalle de temps en une période de mesure et une  
5 période d'actionnement. La période d'actionnement est alors généralement plus longue que la période de mesure, ce qui impose une contrainte en vitesse, donc en consommation sur le circuit de lecture.

Une deuxième manière consiste à réaliser un  
10 découpage spatial du capteur de manière à disposer, d'une part, d'électrodes dédiées à la mesure et, d'autre part, d'électrodes dédiées à l'actionnement. Pour une taille donnée de capteur, cela revient à diminuer la taille de l'élément sensible au profit  
15 d'une partie motrice et, en conséquence, à diminuer la dynamique du signal. Il s'en suit une dégradation des performances de la mesure en terme de bruit. Cette dégradation doit alors être compensée par une électronique de mesure optimisée en bruit.

20 Une troisième manière consiste à réaliser un découpage fréquentiel des fonctions de mesure et d'actionnement. Typiquement les mesures sont réalisées par excitation sinusoïdale et démodulation synchrone et l'actionnement est réalisé par une tension continue. Le  
25 circuit est alors particulièrement complexe et provoque un accroissement de la consommation.

L'invention ne présente pas les inconvénients mentionnés ci-dessus.

#### Exposé de l'invention

30 En effet, l'invention concerne un capteur capacitif comprenant au moins un condensateur de mesure

ayant une première armature et une deuxième armature, parmi lesquelles au moins une armature est une armature mobile apte à se déplacer par rapport à une position de repos lorsque, lors d'une phase de mesure, une tension de mesure est appliquée entre les première et deuxième armatures, caractérisé en ce qu'il comprend des moyens pour appliquer, simultanément à la tension de mesure, entre les première et deuxième armatures, une tension d'actionnement apte à ramener les première et deuxième armatures dans une position sensiblement égale à la position de repos.

Selon une caractéristique supplémentaire de l'invention, les moyens pour appliquer, lors d'une phase de mesure, une tension d'actionnement sur une armature du condensateur de mesure comprennent :

- un premier interrupteur ayant une première borne reliée à la première armature du condensateur de mesure et une deuxième borne reliée à une première tension  $V_h$ , le premier interrupteur étant commandé par un premier signal d'horloge, et
- un deuxième interrupteur ayant une première borne reliée à la deuxième armature du condensateur de mesure et une deuxième borne reliée à une première tension de fonctionnement  $V_{p1}$  telle que :

$$V_{p1} = V_{dd} + V_a$$

où  $V_a$  est la tension d'actionnement et  $V_{dd}$  une deuxième tension, le deuxième interrupteur

étant commandé par un deuxième signal d'horloge complémentaire et non recouvrant du premier signal d'horloge, et

- 5       - un troisième interrupteur ayant une première borne reliée à la deuxième armature du condensateur de mesure et une deuxième borne reliée à une deuxième tension de fonctionnement  $V_{p2}$  telle que :

10                                $V_{p2} = V_{ref} + V_a$ ,  
où  $V_{ref}$  est une tension de référence,  
le troisième interrupteur étant commandé par le premier signal d'horloge.

15       Selon un premier mode de réalisation de l'invention, la deuxième armature du condensateur de mesure est reliée à la première borne d'un quatrième interrupteur dont la deuxième borne est reliée à l'entrée inverseuse d'un amplificateur opérationnel dont la tension d'alimentation est la deuxième tension  
20        $V_{dd}$  et dont l'entrée non inverseuse est reliée à la tension de référence  $V_{ref}$ , le quatrième interrupteur étant commandé par le deuxième signal d'horloge, un cinquième interrupteur et une capacité de contre-réaction étant montés en parallèle entre l'entrée  
25       inverseuse et la sortie de l'amplificateur opérationnel, le cinquième interrupteur étant commandé par le premier signal d'horloge.

30       Selon un autre mode de réalisation de l'invention, la deuxième armature du condensateur de mesure est reliée à une première armature d'un condensateur d'isolation dont la deuxième armature est

reliée à l'entrée inverseuse d'un amplificateur  
opérationnel, un quatrième interrupteur commandé par le  
deuxième signal d'horloge ayant une première borne  
reliée à la première armature du condensateur  
5 d'isolation, un cinquième interrupteur commandé par le  
premier signal d'horloge ayant une première borne  
reliée à la deuxième armature du condensateur  
d'isolation, les quatrième et cinquième interrupteurs  
ayant leurs deuxièmes bornes reliées entre elles et à  
10 une première armature d'un condensateur de contre-  
réaction, dont la deuxième borne est reliée à la sortie  
de l'amplificateur opérationnel, un sixième  
interrupteur commandé par le premier signal d'horloge  
étant monté en parallèle du condensateur de contre-  
15 réaction, l'amplificateur opérationnel ayant une entrée  
non inverseuse reliée à la tension de référence  $V_{ref}$   
d'amplitude inférieure à l'amplitude de la première  
tension  $V_h$ , la deuxième tension  $V_{dd}$  étant la tension  
d'alimentation de l'amplificateur opérationnel.

20 Selon encore un autre mode de réalisation  
de l'invention, la deuxième armature du condensateur de  
mesure est reliée à une première armature d'un  
condensateur d'isolation dont la deuxième armature est  
reliée à l'entrée inverseuse d'un amplificateur  
25 opérationnel, un quatrième interrupteur commandé par le  
deuxième signal d'horloge ayant une première borne  
reliée à la première armature du condensateur  
d'isolation, un cinquième interrupteur commandé par le  
premier signal d'horloge ayant une première borne  
30 reliée à la deuxième armature du condensateur  
d'isolation, les quatrième et cinquième interrupteurs

ayant leurs deuxièmes bornes reliées entre elles, un condensateur de contre-réaction ayant une première armature reliée, d'une part, aux deuxièmes bornes des quatrième et cinquième interrupteurs par  
5 l'intermédiaire d'un sixième interrupteur commandé par le deuxième signal d'horloge et, d'autre part, à la première tension  $V_h$  par l'intermédiaire d'un septième interrupteur commandé par le premier signal d'horloge, et une deuxième armature reliée, d'une part, à la  
10 tension de référence  $V_{ref}$  par l'intermédiaire d'un huitième interrupteur commandé par le premier signal d'horloge et, d'autre part, à la sortie d'un amplificateur opérationnel par l'intermédiaire d'un neuvième interrupteur commandé par le deuxième signal  
15 d'horloge; un dixième interrupteur commandé par le premier signal d'horloge ayant une première borne reliée aux deuxièmes bornes des quatrième et cinquième interrupteurs et une deuxième borne reliée à la sortie de l'amplificateur opérationnel dont l'entrée non  
20 inverseuse est reliée à la tension de référence  $V_{ref}$ , la deuxième tension  $V_{dd}$  étant la tension d'alimentation de l'amplificateur opérationnel.

L'invention concerne également un procédé de mesure par capteur capacitif comprenant au moins un  
25 condensateur de mesure ayant une première et une deuxième armatures parmi lesquelles au moins une armature est une armature mobile apte à se déplacer, par rapport à une position de repos, lorsqu'une tension de mesure est appliquée entre les première et deuxième  
30 armatures, caractérisé en ce qu'il comprend, simultanément à l'application d'une tension de mesure

entre les première et deuxième armatures, l'application, entre lesdites première et deuxième armatures, d'une tension d'actionnement apte à ramener les première et deuxième armatures dans une position  
5 sensiblement égale à la position de repos.

L'invention est basée sur le principe des capacités commutées et permet d'éviter les inconvénients des techniques de l'art antérieur mentionnées ci-dessus. Son principe général est  
10 d'ajuster les tensions de charge et de décharge d'un condensateur de mesure dans le sens que requiert l'actionnement, de manière à produire simultanément l'actionnement et la mesure.

15 Brève description des figures

D'autres caractéristiques et avantages de l'invention apparaîtront à la lecture d'un mode de réalisation préférentiel fait en référence aux figures jointes parmi lesquelles :

- 20 - la figure 1 représente un capteur capacitif de mesure selon l'invention ;
- la figure 2A représente des tensions d'horloge appliquées à un capteur capacitif de mesure selon l'invention ;
- 25 - la figure 2B représente des potentiels appliqués, pour la mesure et/ou pour l'actionnement, sur une armature de condensateur de mesure de capteur capacitif selon l'invention ;
- 30 - la figure 2C représente l'évolution de la

- tension aux bornes d'un condensateur de mesure de capteur capacitif selon l'invention ;
- la figure 2D représente la tension en sortie d'un capteur capacitif de mesure selon l'invention ;
  - la figure 3 représente un premier perfectionnement du capteur capacitif de mesure selon l'invention ;
  - la figure 4 représente un deuxième perfectionnement du capteur capacitif de mesure selon l'invention.

Sur toutes les figures, les mêmes références désignent les mêmes éléments.

#### Description détaillée de modes de mise en œuvre de l'invention

La figure 1 représente un capteur capacitif selon l'invention.

Le capteur capacitif comprend un condensateur de mesure  $C_m$  ayant au moins une armature mobile, cinq interrupteurs  $I_1$ ,  $I_2$ ,  $I_3$ ,  $I_4$ ,  $I_5$ , un condensateur de contre-réaction  $C_1$  et un amplificateur opérationnel A.

L'interrupteur  $I_1$  a une première borne reliée à une première armature du condensateur  $C_m$  et une deuxième borne reliée à une première tension  $V_h$  égale, par exemple, à  $V_{dd}/2$ , où  $V_{dd}$  est la tension d'alimentation du circuit. L'interrupteur  $I_1$  est commandé par un signal d'horloge  $H_1$ .



Les interrupteurs I2 et I3 ont une première borne commune reliée à une deuxième armature du condensateur de mesure  $C_m$ , l'interrupteur I2 ayant sa deuxième borne reliée à une tension  $V_{p1}$  et  
5 l'interrupteur I3 ayant sa deuxième borne reliée à une tension  $V_{p2}$ . Les interrupteurs I2 et I3 sont commandés par les signaux d'horloge respectifs H2 et H1.

Les signaux d'horloge H1 et H2 sont des créneaux de tension complémentaires non recouvrants  
10 ayant pour niveau haut, par exemple, la tension d'alimentation  $V_{dd}$  et pour niveau bas, par exemple, la masse qui peut être égale à 0V. Lorsque le signal d'horloge H1 est au niveau haut, le signal d'horloge H2 est au niveau bas et réciproquement (cf. figure 2A).

15 L'interrupteur I4 a une première borne reliée à la première armature du condensateur de mesure  $C_m$  et une deuxième borne reliée à l'entrée inverseuse de l'amplificateur opérationnel A dont l'entrée non-inverseuse est reliée à la tension de référence  $V_{ref}$ .  
20 L'interrupteur I4 est commandé par le signal d'horloge H2. L'amplificateur opérationnel A est alimenté par la tension  $V_{dd}$ .

L'interrupteur I5 a une première borne reliée à l'entrée inverseuse de l'amplificateur  
25 opérationnel A dont la sortie est reliée à la deuxième borne de l'interrupteur I5. Le condensateur C1 a une première armature reliée à l'entrée inverseuse de l'amplificateur opérationnel et une deuxième armature reliée à la sortie de l'amplificateur opérationnel.  
30 L'interrupteur I5 est commandé par le signal d'horloge H1.

Lorsque le signal d'horloge H1 est au niveau haut (et donc le signal d'horloge H2 au niveau bas), les interrupteurs I1, I3 et I5 sont fermés et les interrupteurs I2 et I4 sont ouverts. La différence de  
5 potentiel aux bornes du condensateur Cm s'écrit alors :

$$VCm1 = Vp2 - Vh$$

L'entrée inverseuse de l'amplificateur A est  
10 isolée du condensateur Cm (interrupteur I4 ouvert). L'amplificateur opérationnel A est alors en mode suiveur (interrupteur I5 fermé). La sortie de l'amplificateur opérationnel A se stabilise approximativement à la tension Vref.

15 Lorsque le signal d'horloge H2 est au niveau haut (et donc le signal d'horloge H1 au niveau bas), les interrupteurs I1, I3 et I5 sont ouverts et les interrupteurs I2 et I4 sont fermés. La première armature du condensateur de mesure Cm est portée  
20 virtuellement à la tension de référence Vref (interrupteur I4 fermé) et la deuxième armature est portée au potentiel Vp1 de sorte que la différence de potentiel qui apparaît aux bornes du condensateur Cm s'écrit :

25

$$VCm2 = Vp1 - Vref$$

D'un niveau d'horloge à l'autre, le bilan des charges  $\Delta Q$  délivrées par le condensateur Cm s'écrit  
30 alors :

$$\Delta Q = C_m (V_{Cm2} - V_{Cm1}), \text{ soit}$$

$$\Delta Q = C_m (V_{p1} - V_{p2}) + C_m (V_h - V_{ref}).$$

5           En général,  $V_h = V_{ref}$  d'où  
$$\Delta Q = C_m (V_{p1} - V_{p2}).$$

La variation de tension  $\Delta V_{out}$  en sortie de  
l'amplificateur opérationnel s'écrit :

10

$$\Delta V_{out} = \Delta Q / C_1$$

$V_a$  étant la valeur de la tension  
d'actionnement souhaitée, en fixant les tensions  $V_{p2}$  et  
15  $V_{p1}$  comme suit :

$$V_{p2} = V_{ref} + V_a, \text{ et}$$

$$V_{p1} = V_{dd} + V_a,$$

20 il vient :

$$\Delta V_{out} = C_m (V_{dd} - V_{ref}) / C_1$$

Avantageusement, la tension mesurée en  
25 sortie du capteur capacitif varie linéairement en  
fonction de la capacité du condensateur de mesure et ne  
dépend pas de la tension d'actionnement  $V_a$ .

Des mesures peuvent alors être effectuées  
alors qu'une tension d'actionnement est appliquée.

30 Comme cela a été mentionné précédemment,  
lorsque le signal d'horloge H1 est au niveau haut, la

tension aux bornes du condensateur  $C_m$  s'écrit :

$$VCm1 = Vp2 - Vh$$

5 De même, lorsque le signal d'horloge H2 est au niveau haut, la tension aux bornes du condensateur  $C_m$  s'écrit :

$$VCm2 = Vp1 - Vref$$

Or :

10 
$$Vp2 = Vref + Va, \text{ et}$$
$$Vp1 = Vdd + Va$$

Il s'en suit que, si  $Vh = Vref$  :

15 
$$VCm1 = Va, \text{ et}$$
$$VCm2 = Va + Vdd - Vref$$

La tension appliquée aux bornes du condensateur  $C_m$  n'a donc pas une valeur constante. Il a été constaté que ce fait n'a pas de conséquences  
20 préjudiciables au bon fonctionnement du capteur capacitif.

Un exemple de fonctionnement de capteur capacitif selon l'invention est donné aux figures 2A-2D :

- 25
- la figure 2A représente les tensions d'horloge H1 et H2 ;
  - la figure 2B représente une évolution des potentiels  $Vp1$  et  $Vp2$  ;
  - la figure 2C représente l'évolution de la
- 30 tension  $VCm$  aux bornes du condensateur de mesure ;

- la figure 2D représente la tension en sortie du capteur capacitif.

A titre d'exemple non limitatif, les valeurs des tensions Vdd et Va peuvent être :

5

$$V_{dd} = 3,3V, \text{ et}$$

$$V_a = 4V$$

Les signaux d'horloge H1 et H2 sont alors  
10 des créneaux de tension complémentaires qui évoluent entre 3,3V (Vdd) et zéro volt (cf. figure 2A). Les tensions Vh et Vref sont égales à 1,65V (Vdd/2). La tension d'actionnement égale à 4V est appliquée de t=0 à t=t1. Les tensions Vp2 et Vp1 sont alors  
15 respectivement égales à 5,65V et 7,3V. Au-delà de t=t1, aucune tension d'actionnement n'est appliquée.

Dans certaines applications, la tension Vh qui est appliquée au rythme du signal d'horloge H1 sur la première armature du condensateur Cm et, partant,  
20 sur l'entrée inverseuse de l'amplificateur opérationnel A, peut atteindre des valeurs suffisamment élevées pour endommager l'amplificateur opérationnel A. C'est le cas par exemple lorsque le capteur, de par sa conception, requiert une polarisation élevée sur son électrode ou  
25 lorsque la configuration du circuit dans lequel est inclus le capteur, fait que cette électrode est soumise à une tension élevée. Il est alors nécessaire de protéger l'entrée inverseuse de l'amplificateur opérationnel.

30

La figure 3 représente un premier circuit selon l'invention permettant de protéger l'entrée

inverseuse de l'amplificateur opérationnel de l'application d'une tension de référence trop élevée.

La première armature du condensateur Cm est ici reliée à l'entrée inverseuse de l'amplificateur opérationnel A par l'intermédiaire d'un condensateur d'isolation C2. Un quatrième interrupteur Ia a une première borne reliée à la première armature du condensateur Cm et à une première borne du condensateur C2. Un cinquième interrupteur Ib a une première borne reliée à la deuxième armature du condensateur C2 et à la deuxième borne de l'interrupteur Ia. La borne commune des interrupteurs Ia et Ib est reliée à la première armature du condensateur C1 et à la première borne d'un interrupteur Ic dont la deuxième borne est reliée à la sortie de l'amplificateur opérationnel A. Le signal d'horloge H2 commande l'interrupteur Ia et le signal d'horloge H1 commande l'interrupteur Ib. Une tension de référence Vref, d'amplitude inférieure à celle de la haute tension Vh qui est appliquée sur la deuxième borne de l'interrupteur I1, est appliquée sur l'entrée non inverseuse (+) de l'amplificateur opérationnel A. La tension Vdd est également appliquée comme tension d'alimentation de l'amplificateur opérationnel A.

Lorsque le signal d'horloge H1 commande la fermeture de l'interrupteur I1, l'interrupteur Ib est également fermé et l'interrupteur Ia est ouvert. L'entrée inverseuse de l'amplificateur A, isolée de la haute tension Vh, est portée au potentiel Vref.

Lorsque le signal d'horloge H1 commande l'ouverture de l'interrupteur I1, l'interrupteur Ib est

également ouvert et l'interrupteur Ia est fermé. La première armature du condensateur Cm est alors reliée à la première armature du condensateur C1 dont le potentiel est égal à la haute tension Vh.

5 L'interrupteur Ib, ouvert, protège l'entrée inverseuse de l'application du potentiel Vh.

Dans tous les cas, l'entrée inverseuse de l'amplificateur opérationnel A est ainsi protégée de la haute tension Vh. Le circuit selon le perfectionnement

10 de la figure 3 présente, en outre, l'avantage de s'affranchir de la tension d'offset de l'amplificateur opérationnel A et de multiplier le gain effectif de ce dernier.

Le circuit représenté en figure 3 présente

15 cependant l'inconvénient de reporter la haute tension Vh sur l'excursion de la tension en sortie de l'amplificateur opérationnel. En effet, lorsque l'horloge H1 est active, la capacité C1 est déchargée. La tension à ses bornes est donc nulle. Lorsque

20 l'horloge H2 est active, par l'intermédiaire du condensateur C2, on impose sur une de ses électrodes la tension Vh. Le condensateur C1 étant initialement déchargé, on trouve donc aussi la tension Vh sur sa deuxième électrode, augmentée d'une tension

25 correspondant à la charge provenant du condensateur Cm.

Le circuit représenté en figure 4 permet de supprimer cet autre inconvénient. En plus des composants représentés en figure 3, le circuit représenté en figure 4 comprend quatre interrupteurs

30 supplémentaires Id, Ie, If, Ig. Le condensateur C1 n'est pas ici monté directement en parallèle de

l'interrupteur Ic, comme c'est le cas sur la figure 3. La première armature du condensateur C1 est reliée à une première borne de l'interrupteur Id et à une première borne de l'interrupteur Ie, alors que la  
5 deuxième borne de l'interrupteur Id est reliée à la borne commune aux interrupteurs Ia et Ib et la deuxième borne de l'interrupteur Ie est reliée à la haute tension Vh. Par ailleurs, la deuxième armature de la capacité C1 est reliée à une première borne de  
10 l'interrupteur If et à une première borne de l'interrupteur Ig, alors que la deuxième borne de l'interrupteur If est reliée à la tension de référence Vref et la deuxième borne de l'interrupteur Ig est reliée à la sortie de l'amplificateur opérationnel A.  
15 Les interrupteurs Ie et If sont commandés par le signal d'horloge H1 et les interrupteurs Id et Ig sont commandés par le signal d'horloge H2.

Lorsque le signal d'horloge H1 est actif (interrupteurs I1, I3, Ic, Ib, Ie, If fermés et  
20 interrupteurs I2, Ia, Id, Ig ouverts), le condensateur C1 est chargé entre la haute tension Vh et la tension de référence Vref. L'amplificateur opérationnel est en mode suiveur. La tension de sortie de l'amplificateur opérationnel est en conséquence sensiblement égale à  
25 Vref.

Lorsque l'horloge H2 est active (interrupteurs I1, I3, Ic, Ib, Ie, If ouverts et interrupteurs I2, Ia, Id, Ig fermés), le condensateur C1 est connecté entre la sortie de l'amplificateur  
30 opérationnel A et la première armature du condensateur Cm. La première armature du condensateur C1 est portée



au potentiel  $V_h$  par l'intermédiaire du condensateur  $C_2$ , la deuxième armature du condensateur  $C_1$  restant au potentiel  $V_{ref}$  du fait de la précharge entre les tensions  $V_h$  et  $V_{ref}$ , opérées lorsque l'horloge  $H_1$  était active (cf. ci-dessus). Ainsi, la sortie de l'amplificateur opérationnel  $A$  subit-elle une variation de tension qui n'est due qu'aux charges provenant du condensateur  $C_m$  et non pas à la haute tension  $V_h$ .

Le capteur capacitif de mesure selon l'invention décrit aux figures 3 - 5 comprend, à titre d'exemple, un seul condensateur de mesure. Il est clair pour l'homme du métier que l'invention s'applique également à des capteurs capacitifs comprenant plusieurs condensateurs de mesure tels que, par exemple, les capteurs capacitifs à deux condensateurs ayant une armature commune.

**REVENDICATIONS**

1. Capteur capacitif comprenant au moins un condensateur de mesure (Cm) ayant une première et une  
5 deuxième armatures parmi lesquelles au moins une armature est une armature mobile apte à se déplacer par rapport à une position de repos lorsque, lors d'une phase de mesure, une tension de mesure est appliquée entre les première et deuxième armatures, caractérisé  
10 en ce qu'il comprend des moyens pour appliquer, simultanément à la tension de mesure, entre les première et deuxième armatures, une tension d'actionnement (Va) apte à ramener les première et deuxième armatures dans une position sensiblement égale  
15 à la position de repos.

2. Capteur capacitif selon la revendication 1, caractérisé en ce que les moyens (I1, I2, I3) pour appliquer simultanément, lors d'une phase  
20 de mesure, une tension de mesure et une tension d'actionnement (Va) comprennent :

- un premier interrupteur (I1) ayant une première borne reliée à la première armature du condensateur de mesure et une deuxième borne  
25 reliée à une première tension Vh, le premier interrupteur (I1) étant commandé par un premier signal d'horloge (H1), et
- un deuxième interrupteur (I2) ayant une première borne reliée à la deuxième armature du condensateur de mesure (Cm) et une deuxième  
30

borne reliée à une première tension de fonctionnement  $V_{p1}$  telle que :

$$V_{p1} = V_{dd} + V_a$$

5

où  $V_a$  est la tension d'actionnement et  $V_{dd}$  une deuxième tension, le deuxième interrupteur (I2) étant commandé par un deuxième signal d'horloge (H2) complémentaire et non recouvrant du premier signal d'horloge, et

10

- un troisième interrupteur (I3) ayant une première borne reliée à la deuxième armature du condensateur de mesure ( $C_m$ ) et une deuxième borne reliée à une deuxième tension de fonctionnement  $V_{p2}$  de sorte que la deuxième tension de fonctionnement s'écrit :

15

$$V_{p2} = V_{ref} + V_a,$$

où  $V_{ref}$  est une tension de référence, le troisième interrupteur (I3) étant commandé par le premier signal d'horloge (H1).

20

3. Capteur capacitif selon la revendication 2, caractérisé en ce que la deuxième armature du condensateur de mesure ( $C_m$ ) est reliée à la première borne d'un quatrième interrupteur (I4) dont la deuxième borne est reliée à l'entrée inverseuse (-) d'un amplificateur opérationnel (A) dont la tension d'alimentation est la tension  $V_{dd}$  et dont l'entrée non inverseuse (+) est reliée à la tension de référence

25

30

Vref, le quatrième interrupteur (I4) étant commandé par le deuxième signal d'horloge (H2), un cinquième interrupteur (I5) et une capacité de contre-réaction (C1) étant montés en parallèle entre l'entrée inverseuse (-) et la sortie de l'amplificateur opérationnel (A), le cinquième interrupteur (I5) étant commandé par le premier signal d'horloge (H1).

4. Capteur capacitif selon la revendication 2, caractérisé en ce que la deuxième armature du condensateur de mesure est reliée à une première armature d'un condensateur d'isolation (C2) dont la deuxième armature est reliée à l'entrée inverseuse (-) d'un amplificateur opérationnel (A), un quatrième interrupteur (Ia) commandé par le deuxième signal d'horloge (H2) ayant une première borne reliée à la première armature du condensateur d'isolation (C2), un cinquième interrupteur (Ib) commandé par le premier signal d'horloge (H1) ayant une première borne reliée à la deuxième armature du condensateur d'isolation (C2), les quatrième (Ia) et cinquième interrupteur (Ib) ayant leurs deuxièmes bornes reliées entre elles et à une première armature d'un condensateur de contre-réaction (C1), dont la deuxième borne est reliée à la sortie de l'amplificateur opérationnel (A), un sixième interrupteur (Ic) commandé par le premier signal d'horloge (H1) étant monté en parallèle du condensateur de contre-réaction (C1), l'amplificateur opérationnel (A) ayant une entrée non inverseuse (+) reliée à la tension de référence Vref d'amplitude inférieure à l'amplitude de la tension Vh, la deuxième tension Vdd

étant la tension d'alimentation de l'amplificateur opérationnel (A).

5. Capteur capacitif selon la  
5 revendication 2, caractérisé en ce que la deuxième armature du condensateur de mesure (Cm) est reliée à une première armature d'un condensateur d'isolation (C2) dont la deuxième armature est reliée à l'entrée inverseuse (-) d'un amplificateur opérationnel (A), un  
10 quatrième interrupteur (Ia) commandé par le deuxième signal d'horloge (H2) ayant une première borne reliée à la première armature du condensateur d'isolation (C2), un cinquième interrupteur (Ib) commandé par le premier signal d'horloge (H1) ayant une première borne reliée à  
15 la deuxième armature du condensateur d'isolation (C2), les quatrième (Ia) et cinquième (Ib) interrupteurs ayant leurs deuxième bornes reliées entre elles, un condensateur de contre-réaction (C1) ayant une première armature reliée, d'une part, aux deuxième bornes des  
20 quatrième et cinquième interrupteurs par l'intermédiaire d'un sixième interrupteur (Id) commandé par le deuxième signal d'horloge (H2) et, d'autre part, à la tension Vh par l'intermédiaire d'un septième interrupteur (Ie) commandé par le premier signal  
25 d'horloge (H1), et une deuxième armature reliée, d'une part, à la tension de référence Vref par l'intermédiaire d'un huitième interrupteur (If) commandé par le premier signal d'horloge (H1) et, d'autre part, à la sortie d'un amplificateur  
30 opérationnel (A) par l'intermédiaire d'un neuvième interrupteur (Ig) commandé par le deuxième signal

d'horloge (H2), un dixième interrupteur (Ic) commandé par le premier signal d'horloge (H1) ayant une première borne reliée aux deuxièmes bornes des quatrième et cinquième interrupteurs et une deuxième borne reliée à la sortie de l'amplificateur opérationnel dont l'entrée non inverseuse (+) est reliée à la tension de référence Vref, la deuxième tension Vdd étant la tension d'alimentation de l'amplificateur opérationnel (A).

10                    6. Procédé de mesure par capteur capacitif comprenant au moins un condensateur de mesure (Cm) ayant une première et une deuxième armatures parmi lesquelles au moins une armature est une armature mobile apte à se déplacer, par rapport à une position  
15 de repos, lorsqu'une tension de mesure est appliquée entre les première et deuxième armatures, caractérisé en ce qu'il comprend, simultanément à l'application d'une tension de mesure entre les première et deuxième armatures, l'application, entre lesdites première et  
20 deuxième armatures, d'une tension d'actionnement (Va) apte à ramener les première et deuxième armatures dans une position sensiblement égale à la position de repos.

1 / 4

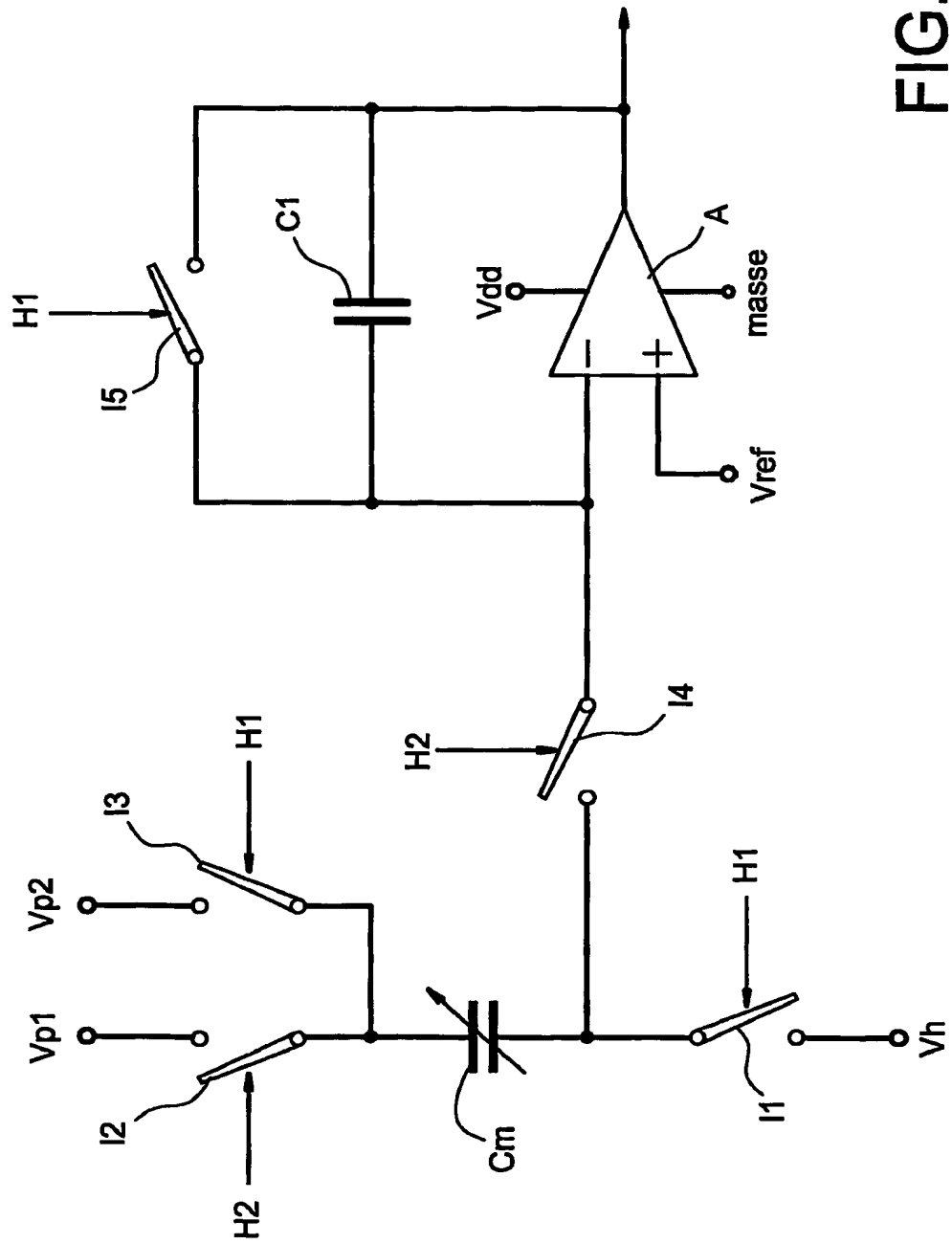
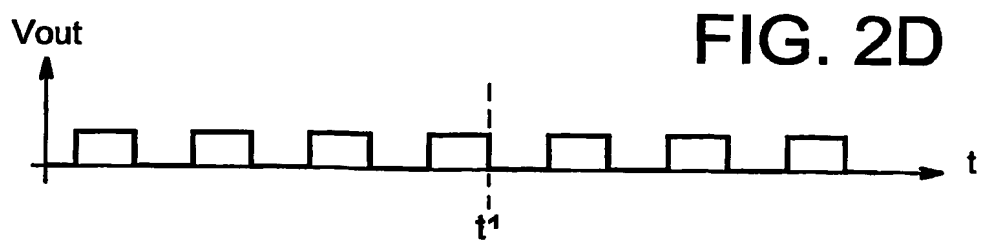
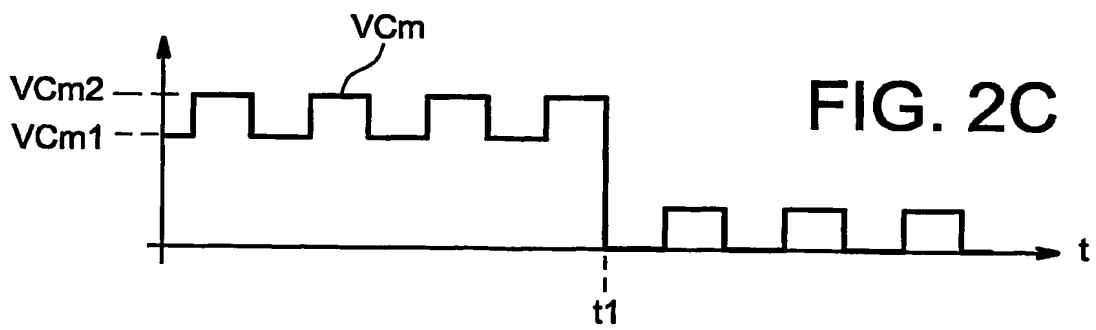
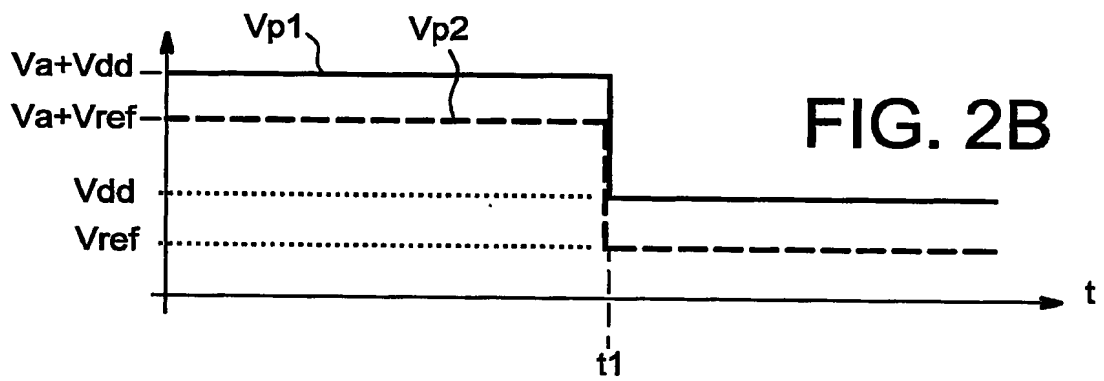
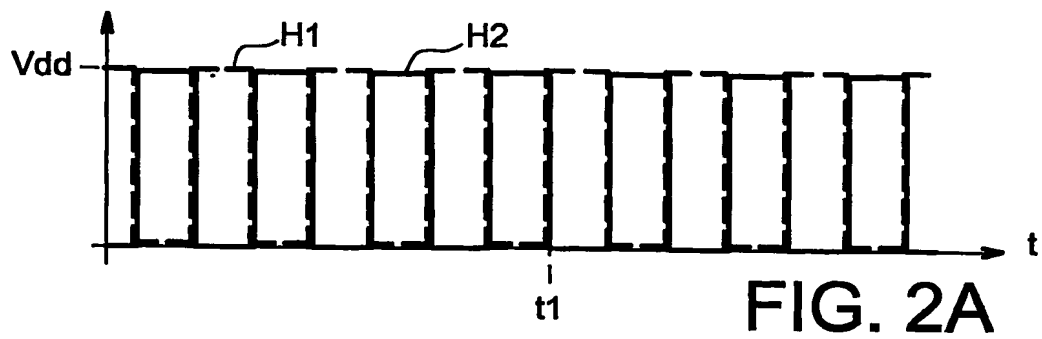


FIG. 1

2 / 4





3 / 4

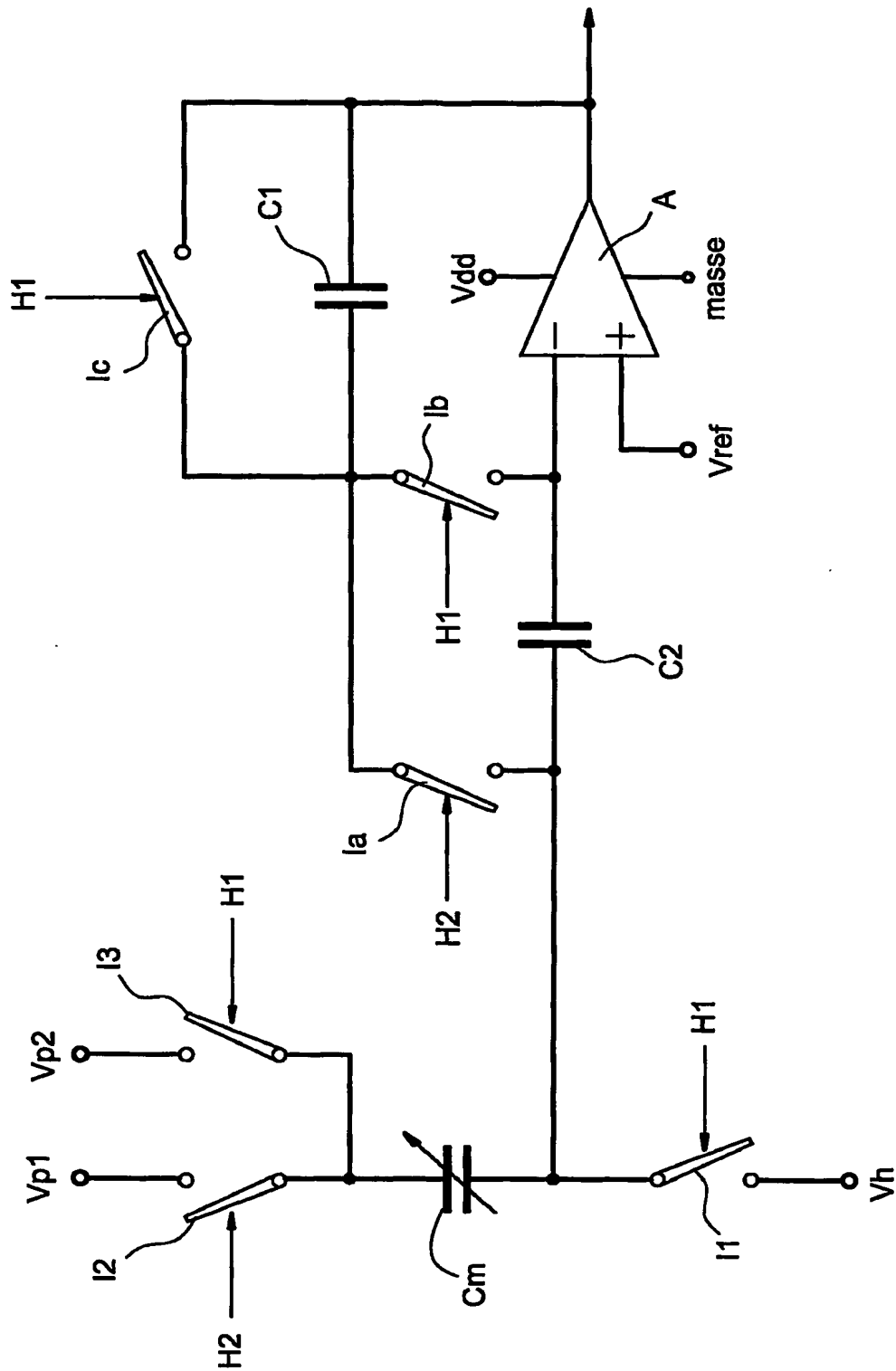


FIG. 3

4 / 4

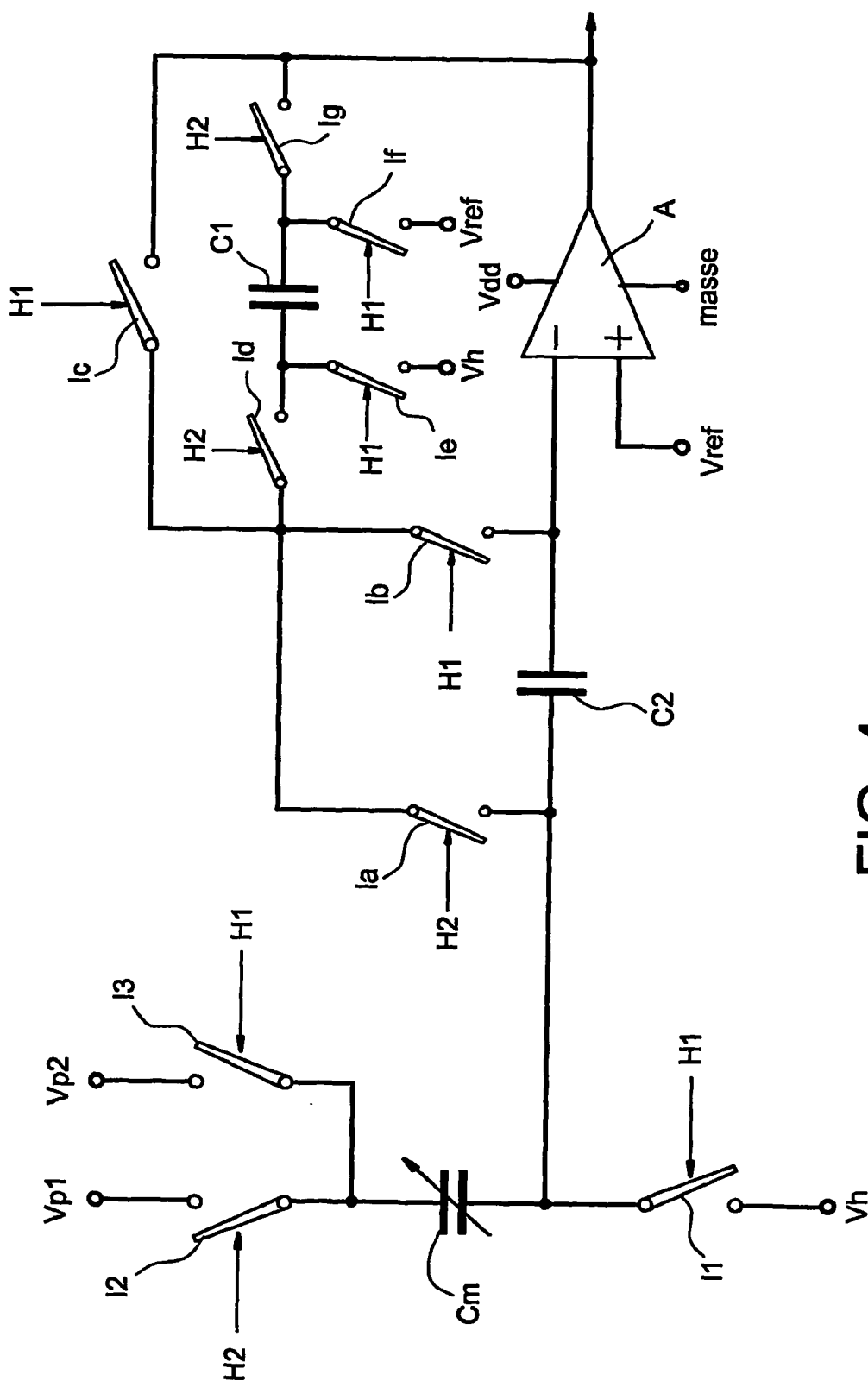


FIG. 4